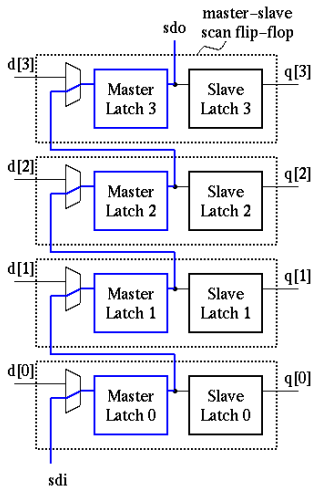
（１）テスト容易化設計

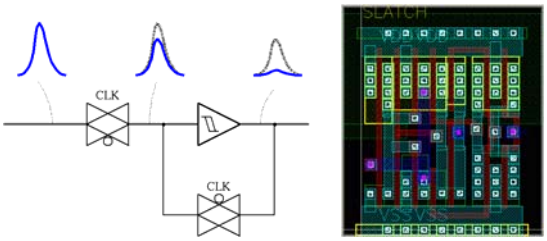


遅延故障テスト容易化スキャン設計

製造テストコストは VLSI の製造コストの半分を占めており、製造テストコストの削減は VLSI 製造コストコスト削減に大きく貢献する。そのため、VLSI の設計段階で製造テストを考慮し、テストを行いやすいようにする、テスト容易化設計を用いることが一般的となっている。本研究室では、 ASIC, FPGA などさまざまなデバイスを対象とし、テスト容易化設計について研究を行っている。

（２）耐ソフトエラー技術

宇宙空間など過酷な環境下で動作する VLSI では、動作中に宇宙線等の放射線が原因となる一時的な故障（ソフトエラー）が発生する。さらに、近年の VLSI の微細化、低電圧化に伴い、放射線のエネルギーが相対的に増加し、地上においてもソフトエラーは無視できなくなると予想されている。そのような観点から本研究室では、ソフトエラーから VLSI システムの動作を保護する耐ソフトエラー技術に関する研究を行っている。



耐ソフトエラーラッチの構成とマスクデータ